

日本国特許
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application: 2003年 2月 25日

出願番号

Application Number: 特願 2003-047176

[ST.10/C]:

[J P 2003-047176]

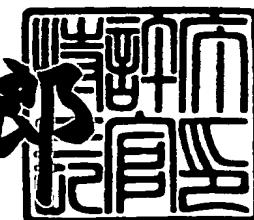
出願人

Applicant(s): パイオニア株式会社

2003年 6月 30日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特 2003-3051469

【書類名】 特許願
【整理番号】 57P0473
【提出日】 平成15年 2月25日
【あて先】 特許庁長官殿
【国際特許分類】 H01J 17/49
【発明の名称】 プラズマディスプレイパネル及び表示装置
【発明者】
【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 パイオニア
株式会社内
【氏名】 尾谷 栄志郎
【発明者】
【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 パイオニア
株式会社内
【氏名】 矢作 和男
【特許出願人】
【識別番号】 000005016
【氏名又は名称】 パイオニア株式会社
【代理人】
【識別番号】 100079119
【弁理士】
【氏名又は名称】 藤村 元彦
【手数料の表示】
【予納台帳番号】 016469
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9006557

特2003-047176

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 プラズマディスプレイパネル及び表示装置

【特許請求の範囲】

【請求項1】 各々が行方向に延びて列方向に配列された複数の行電極と、前面基板の内面側において前記複数の行電極を被覆する誘電体層と、各々が前記前面基板と放電空間を介して対向配置された背面基板の内面側に列方向に延びて行方向に配列され、前記行電極と交差する位置において放電空間内に単位発光領域を形成する複数の列電極とを備え、前記複数の行電極の隣接する行電極間各々が表示ラインを構成するプラズマディスプレイパネルであって、

前記単位発光領域の各々の周囲が隔壁により区画され、前記単位発光領域の各々が仕切り壁によって表示ラインを形成する隣接する行電極間での放電が行われる第1放電セルと、行電極の一部と列電極との間での放電が行われる第2放電セルとに区画され、

対となる前記第1放電セルと前記第2放電セルとの間に連通部を有することを特徴とするプラズマディスプレイパネル。

【請求項2】 前記行電極各々は、行方向に延びる本体部と、前記本体部から単位発光領域毎に隣接する他の行電極に向かって列方向に伸長したT字状端部とを備え、

前記第1放電セルは、第1放電ギャップを介して互いに対向する前記T字状端部に対向する部分を含み、前記第2放電セルは、第2放電ギャップを介して前記行電極の本体部と列電極とが対向する部分を含むことを特徴とする請求項1記載のプラズマディスプレイパネル。

【請求項3】 前記第2放電セルの前記前面基板側に黒色層が設けられていることを特徴とする請求項1記載のプラズマディスプレイパネル。

【請求項4】 前記第2放電セルの前記背面基板側に2次電子放出層が設けられていることを特徴とする請求項1記載のプラズマディスプレイパネル。

【請求項5】 前記第1放電セルの前記前面基板側にのみ蛍光体層が設けられていることを特徴とする請求項1記載のプラズマディスプレイパネル。

【請求項6】 1フィールドの表示期間を、アドレス期間とサステイン期間

を有する複数のサブフィールドで構成し、入力映像信号に基づく各画素毎の画素データに応じて前記入力映像信号に対応した画像表示を行う表示装置であって、

各々が行方向に延びて列方向に配列された複数の行電極と、前面基板の内面側において前記複数の行電極を被覆する誘電体層と、各々が前記前面基板と放電空間を介して対向配置された背面基板の内面側に列方向に延びて行方向に配列され、前記行電極と交差する位置において放電空間内に単位発光領域を形成する複数の列電極とを備え、前記複数の行電極の隣接する行電極間各々が表示ラインを構成し、

前記単位発光領域の各々の周囲が隔壁により区画され、前記単位発光領域の各々が仕切り壁によって表示ラインを形成する隣接する行電極間での放電が行われる第1放電セルと、行電極の一部と列電極との間での放電が行われる第2放電セルとに区画され、

対となる前記第1放電セルと前記第2放電セルとの間に連通部を有するプラスマディスプレイパネルと、

前記アドレス期間において前記行電極対の第1行電極に順次、正極性の走査パルスを印加しつつ前記走査パルスと同一タイミングにて前記画素データに対応した画素データパルスを前記列電極側が陰極となる関係で1表示ラインずつ順次前記列電極各々に印加して、前記第2放電セル内において選択的にアドレス放電を生起せしめるアドレス手段と、

前記サスティン期間において前記行電極対を構成する行電極間にサスティンパルスを印加するサスティン手段と、を備えたことを特徴とする表示装置。

【請求項7】 前記サスティン手段は負極性の最終サスティンパルスを前記第1行電極に印加することを特徴とする請求項6記載の表示装置。

【請求項8】 前記アドレス手段は、前記第2放電セル内における選択的アドレス放電を第1放電セルに広げて第1放電セルを点灯セル状態又は消灯セル状態のいずれか一方に設定することを特徴とする請求項6に記載の表示装置。

【請求項9】 前記行電極各々は、行方向に延びる本体部と、この本体部から単位発光領域毎に隣接する他の行電極に向かって列方向に伸長したT字状端部とを備え、

前記第1放電セルは、第1放電ギャップを介して互いに対向する前記T字状端部に対向する部分を含み、前記第2放電セルは、第2放電ギャップを介して前記行電極の本体部と列電極とが対向する部分を含むことを特徴とする請求項6記載の表示装置。

【請求項10】 前記第2放電セルの前記前面基板側に黒色層が設けられていることを特徴とする請求項6記載の表示装置。

【請求項11】 前記第2放電セルの前記背面基板側に2次電子放出層が設けられていることを特徴とする請求項6記載の表示装置。

【請求項12】 前記第1放電セルの前記前面基板側にのみ蛍光体層が設けられていることを特徴とする請求項6記載の表示装置。

【請求項13】 前記単位発光領域各々の第2放電セルの放電空間は、隣接する単位発光領域の放電空間と隔壁によって閉じられていると共に行方向に隣接する単位発光領域各々の第1放電セルの放電空間は連通していることを特徴とする請求項6記載の表示装置。

【請求項14】 前記アドレス手段による前記アドレス放電に先立って、前記行電極対の第1行電極と前記列電極との間にリセットパルスを印加して前記第2放電セル内においてリセット放電を生起せしめるリセット手段を更に備えたことを特徴とする請求項6記載の表示装置。

【請求項15】 前記リセットパルスは前記サスティンパルスに比して立ちあがり区間又は立下り区間でのレベル推移が緩やかな波形を有することを請求項14項記載の表示装置。

【請求項16】 前記リセット手段は奇数表示ラインに対するリセット放電と偶数表示ラインに対するリセット放電とを時間的に分離して実行することを特徴とする請求項14記載の表示装置。

【請求項17】 前記アドレス手段は奇数表示ラインに対するアドレス放電と偶数表示ラインに対するアドレス放電とを時間的に分離して実行することを特徴とする請求項6記載の表示装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、プラズマディスプレイパネル及びそれを搭載した表示装置に関する

【0002】

【従来の技術】

近年、大型で薄型のカラー表示パネルとして面放電方式交流型プラズマディスプレイパネルを搭載したプラズマディスプレイ装置が注目されている（例えば、特許文献1参照）。

【0003】

【特許文献1】

特開平5-205642号公報

図1～図3は、かかる従来の面放電方式交流型プラズマディスプレイパネルの構成の一部を示す図である。

プラズマディスプレイパネル（PDP）には、図2に示す如き互いに平行に配置された前面ガラス基板1と背面ガラス基板4との間に画素毎に放電を生じさせるための構成が形成されている。前面ガラス基板1の表面が表示面となる。前面ガラス基板1の裏面側には、長手の複数の行電極対（X'，Y'）と、この行電極対（X'，Y'）を被覆する誘電体層2と、この誘電体層2の裏面を被覆するMgO（酸化マグネシウム）からなる保護層3が順に設けられている。各行電極X'，Y'は、図1に示す如く、夫々、幅の広いITO等の透明導電膜からなる透明電極Xa'，Ya' と、その導電性を補う幅の狭い金属膜からなるバス電極Xb'，Yb' とから構成されている。行電極X' とY' とが放電ギャップg'を挟んで対向するように表示画面の垂直方向に交互に配置されており、各行電極対（X'，Y'）によって、マトリクス表示の1表示ライン（行）Lが構成されている。背面ガラス基板4には、図3に示す如く、行電極対X'，Y' と直交する方向に配列された複数の列電極D' と、この列電極D' 間にそれぞれ平行に形成された帯状の隔壁5と、この隔壁5の側面と列電極D' を被覆するそれぞれ赤（R）、緑（G）、青（B）の蛍光材料によって形成された蛍光体層6とが設けられている。保護層3及び蛍光体層6間には、図2に示す如く、キセノンを含む

Ne-Xe ガスが封入されている放電空間 S' が存在する。各表示ライン L には、図1に示す如く列電極 D' 及び行電極対 (X', Y') の交差部において放電空間 S' を隔壁5によって区画した、単位発光領域としての放電セル C' が形成されている。

【0004】

上記の面放電方式交流型 PDPにおける画像の形成には、中間調を表示させるための方法として、サブフィールド法を用いた階調駆動方法が知られている。かかる駆動法では、1フィールドの表示期間をN個のサブフィールドに分割し、各サブフィールドにそのサブフィールドの重み付けに対応した発光実施回数を割り当てる。そして、入力映像信号に応じて、各放電セル毎に発光実施するサブフィールドと、発光を実施させないサブフィールドとを設定して発光駆動を行う。この際、1フィールドを通して実施された発光の総数に応じた中間輝度が視覚されるのである。

【0005】

図4は、上記駆動を実現すべく各サブフィールド内においてPDPに印加される各種駆動パルスを示す図である。

図4に示すように、各サブフィールドは、一斉リセット期間 R_c 、アドレス期間 W_c 、及びサステイン期間 I_c によって構成されている。

一斉リセット期間 R_c では、互いに対をなす行電極 $X_1' \sim X_n'$ と $Y_1' \sim Y_n'$ 間にリセットパルス $R_P x, R_P y$ が一斉に印加されることによって、全ての放電セルにおいて一斉にリセット放電が行われ、これによって、一旦、各放電セル内に所定量の壁電荷が形成される。次のアドレス期間 W_c では、行電極 $Y_1' \sim Y_n'$ に順次、走査パルス S_P が印加されるとともに、入力映像信号に対応した各画素毎の画素データパルスが1表示ライン分ずつ列電極 $D_1' \sim D_m'$ に印加される。すなわち、図4に示す如く、第1表示ライン～第n表示ライン各々に対応した夫々 m 個の画素データパルスからなる画素データパルス群 $D_P 1 \sim D_P n$ が走査パルス S_P に同期して順次、列電極 $D_1' \sim D_m'$ に印加されるのである。その走査パルスと同時に高電圧の画素データパルスが印加された放電セルのみにアドレス放電（選択消去放電）が生起される。かかるアドレス放電により放電セル内に形成され

ていた壁電荷が消滅する。一方、アドレス放電の生起されなかった放電セル内には壁電荷が残留する。次のサスティン期間 Ic では、互いに対をなす行電極 X₁' ~ X_n' と Y₁' ~ Y_n' 間にサスティンパルス IPx, IPy が各サブフィールドの重み付けに対応した数だけ印加される。これによって、壁電荷が残留したままの発光セルのみが、印加されるサスティンパルス IPx, IPy の数に対応した数だけサスティン放電を繰り返す。かかるサスティン放電により、放電空間 S' に封入されているキセノン Xe から波長 147 nm の真空紫外線が放射される。かかる真空紫外線により、背面基板上に形成されている赤 (R)、緑 (G)、青 (B) の蛍光体層が励起して可視光を発生する。

【0006】

【発明が解決しようとする課題】

このような PDP における画像形成においては、上記のように、アドレス放電やサスティン放電の安定化のためにその放電の開始前にリセット放電が行われる。更に、アドレス放電も各サブフィールド毎に行われる。従来の PDP では、このリセット放電およびアドレス放電が、サスティン放電によって画像形成のための可視光を発生させる放電セル C' 内において行われる。よって、黒等の暗い画像の表示が行われる際にもリセット放電やアドレス放電による発光がパネルの表示面に現れて画面が明るくなってしまうため、コントラストの低下等が生じる場合があった。

【0007】

また、行電極 X'、Y' を交互に配列した構成では、非表示ラインにおいても行電極 X'、Y' が隣り合うため、サスティン期間において非表示ラインに電位差が生じる。非表示ラインでの不用な放電を防止すると共に消費電力の増大を招くライン間の静電容量を低減するためにライン間の電極間隔を十分大きい値に設定する必要がある。このため、ラインピッチの縮小による高精細化が困難であった。

【0008】

本発明が解決しようとする課題には、上記の問題点が一例として挙げられ、高コントラスト及び高精細化を図ることができるプラズマディスプレイパネル及び

それを用いた表示装置を提供することが本発明の目的である。

【0009】

【課題を解決するための手段】

本発明のプラズマディスプレイパネルは、各々が行方向に延びて列方向に配列された複数の行電極と、前面基板の内面側において前記複数の行電極を被覆する誘電体層と、各々が前記前面基板と放電空間を介して対向配置された背面基板の内面側に列方向に延びて行方向に配列され、前記行電極と交差する位置において放電空間内に単位発光領域を形成する複数の列電極とを備え、前記複数の行電極の隣接する行電極間各々が表示ラインを構成するプラズマディスプレイパネルであって、前記単位発光領域の各々の周囲が隔壁により区画され、前記単位発光領域の各々が仕切り壁によって表示ラインを形成する隣接する行電極間での放電が行われる第1放電セルと、行電極の一部と列電極との間での放電が行われる第2放電セルとに区画され、対となる前記第1放電セルと前記第2放電セルとの間に連通部を有することを特徴としている。

【0010】

本発明の表示装置は、1フィールドの表示期間を、アドレス期間とサスティン期間を有する複数のサブフィールドで構成し、入力映像信号に基づく各画素毎の画素データに応じて前記入力映像信号に対応した画像表示を行う表示装置であって、各々が行方向に延びて列方向に配列された複数の行電極と、前面基板の内面側において前記複数の行電極を被覆する誘電体層と、各々が前記前面基板と放電空間を介して対向配置された背面基板の内面側に列方向に延びて行方向に配列され、前記行電極と交差する位置において放電空間内に単位発光領域を形成する複数の列電極とを備え、前記複数の行電極の隣接する行電極間各々が表示ラインを構成し、前記単位発光領域の各々の周囲が隔壁により区画され、前記単位発光領域の各々が仕切り壁によって表示ラインを形成する隣接する行電極間での放電が行われる第1放電セルと、行電極の一部と列電極との間での放電が行われる第2放電セルとに区画され、対となる前記第1放電セルと前記第2放電セルとの間に連通部を有するプラズマディスプレイパネルと、前記アドレス期間において前記行電極対の第1行電極に順次、正極性の走査パルスを印加しつつ前記走査パルス

と同一タイミングにて前記画素データに対応した画素データパルスを前記列電極側が陰極となる関係で1表示ラインずつ順次前記列電極各々に印加して、前記第2放電セル内において選択的にアドレス放電を生起せしめるアドレス手段と、前記サスティン期間において前記行電極対を構成する行電極間にサスティンパルスを印加するサスティン手段と、を備えたことを特徴としている。

【0011】

【発明の実施の形態】

図5は、本発明による表示装置としてのプラズマディスプレイ装置の構成を示す図である。

図5に示すように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしてのPDP50、X電極ドライバ51、Y電極ドライバ53、アドレスドライバ55及び駆動制御回路56から構成される。

【0012】

PDP50には、表示画面における垂直方向に夫々伸張している帯状の列電極D₁～D_mが形成されている。更に、PDP50には、表示画面における水平方向に夫々伸張している行電極X₁～X_n及び行電極Y₁～Y_nが、図5に示すように交互にかつ番号順に配列して形成されている。一対の行電極、つまり行電極対(X₁、Y₁)～行電極対(X_n、Y_n)の各々がPDP50における第1表示ライン～第(2n-1)表示ラインを担う。各表示ラインと列電極D₁～D_m各々との各交叉部(図5中的一点鎖線にて囲まれた領域)に、画素を担う画素セル(単位発光領域)PCが形成されている。すなわち、PDP50には、第1表示ラインに属する画素セルPC_{1,1}～PC_{1,m}、第2表示ラインに属する画素セルPC_{2,1}～PC_{2,m}、…、第(2n-1)表示ラインに属する画素セルPC_{2n-1,1}～PC_{2n-1,m}がマトリクス状に配列されているのである。

【0013】

図6～図10は、PDP50の内部構造の一部を抜粋して示す図である。

図6は表示面側から眺めたPDP50の平面図である。図7は図6に示されるV1-V1線から眺めたPDP50の断面図である。図8は図6に示されるV2-V2線から眺めたPDP50の断面図である。図9は図6に示されるW1-W

1線から眺めたPDP50の断面図である。図10は図6に示されるW2-W2線から眺めたPDP50の断面図である。

【0014】

図6に示されたPDP50は列電極D₁～D_mのうちの3つの列電極D、行電極X₁～X_nのうちの2つの行電極X_k、X_{k+1}及び行電極Y₁～Y_nのうちの1つの行電極Y_kの部分である。行電極X_k、X_{k+1}各々は、表示表面の垂直方向（列方向）に伸長しT字状の両端を有する複数の透明電極X_aと、複数の透明電極X_aと接続され表示画面の水平方向（行方向）に伸長する帯状のバス電極X_b（行電極Xの本体部）とから構成される。行電極Y_kは、表示表面の垂直方向に伸長しT字状の両端を有する複数の透明電極Y_aと、複数の透明電極Y_aと接続され表示画面の水平方向に伸長する帯状のバス電極Y_b（行電極Yの本体部）とから構成される。ただし、図6においては、行電極X_k、X_{k+1}の透明電極X_aは一端部分しか示されていないが、透明電極Y_aと同様の形状である。透明電極X_a、Y_aはITO等の透明導電膜からなり、各列電極Dに対応した位置に夫々配置されている。更に、垂直方向において隣接する透明電極X_a、Y_aのT字状の端部は互いに所定の放電ギャップgを介して対向した位置関係を有している。放電ギャップgの位置に対応した部分が表示放電セル（第1放電セル）C₁の部分である。バス電極X_b、Y_bは例えば、黒色又は透明の金属膜からなる。バス電極X_bと透明電極X_aとが交差する位置及びバス電極Y_bと透明電極Y_aとが交差する位置は各制御放電セルC₂（第2放電セル）の形成位置に対応する。

【0015】

透明電極X_a、Y_aは、図7に示されるようにPDP50の表示面を担う前面ガラス基板10と背面基板13との間に形成されている。前面ガラス基板10と背面基板13とは互いに平行配置されている。透明電極X_aとバス電極X_bとの間には、バス電極X_bと同一形状の光吸収層61が形成されている。同様に、透明電極Y_aとバス電極Y_bとの間には、バス電極Y_bと同一形状の光吸収層62が形成されている。光吸収層61、62は黒色または暗色の顔料を含んでいる。更に、これら透明電極X_a、Y_a、光吸収層61、62及びバス電極X_b、Y_bを覆うように前面ガラス基板10の裏面には誘電体層11が形成されている。

【0016】

背面基板13上には、図9及び図10に示されるように、垂直方向に伸張している複数の列電極Dが互いに所定の間隙を開けて平行に配列されている。また、背面基板13には、列電極Dを被覆する白色の列電極保護層（誘電体層）14が形成されている。列電極保護層14上には、横壁15A、仕切壁15B及び縦壁15Cが形成されている。横壁15A及び縦壁15Cが隔壁である。横壁15Aは垂直方向において各画素セルを区分けし、縦壁15Cは水平方向において各画素セルを区分けする。すなわち、横壁15Aと縦壁15Cとで区分けされた各部分が画素セルPC（上記のPC1₁～PC1_m）である。仕切壁15Bは画素セルPC各々を表示放電セルC1と制御放電セルC2とに区分けする壁である。画素セルPCを構成するために対をなす表示放電セルC1と制御放電セルC2との位置関係は水平方向においては隣同士同じである。

【0017】

横壁15A、仕切壁15B及び縦壁15C各々の高さは同一である。各制御放電セルC2に対応した部分の横壁15A及び縦壁15C各々の先端と誘電体層11との間には嵩上げ誘電体層12が挿入形成されている。仕切壁15Bと誘電体層11との間には嵩上げ誘電体層12は形成されていない。嵩上げ誘電体層12の表面と画素セルPCの空間に面する誘電体層11の表面とは、MgO（酸化マグネシウム）からなる保護層（図示せず）によって被覆されている。

【0018】

画素セルPCの空間は放電ガスが封入され、表示放電セルC1及び制御放電セルC2各々の放電空間が存在する。

また、図7及び図9に示されるように、各表示放電セルC1の放電空間を囲む列電極保護層14、横壁15A、仕切壁15B及び縦壁15Cの各面には蛍光体層16が形成されている。蛍光体層16としては、赤色で発光する赤色蛍光層、緑色で発光する緑色蛍光層、及び青色で発光する青色蛍光層の3系統があり、各画素セルPC毎にその割り当てが決まっている。

【0019】

図7及び図10に示されるように、各制御放電セルC2の放電空間を囲む列電

極保護層14、横壁15A、仕切壁15B及び縦壁15Cの各面には2次電子放出材料層30が形成されている。2次電子放出材料層30は、仕事関数が低い(例えば4.2eV以下)、いわゆる2次電子放出係数の高い高γ材料からなる層である。2次電子放出材料層30として用いる材料としては、例えばMgO、CaO、SrO、BaO等のアルカリ土類金属酸化物、Cs₂O等のアルカリ金属酸化物、CaF₂、MgF₂等のフッ化物、TiO₂、Y₂O₃、或いは、結晶欠陥や不純物ドープにより2次電子放出係数を高めた材料、ダイアモンド状薄膜、カーボンナノチューブ等がある。

【0020】

上記した嵩上げ誘電体層12が形成されていない仕切壁15Bと誘電体層11との間は表示放電セルC1の放電空間と制御放電セルC2の放電空間とを連通する間隙rとなっている。表示面の左右方向において互いに隣接する制御放電セルC2各々の放電空間は、図8に示す如き嵩上げ誘電体層12及び誘電体層18によって遮断されているが、表示面の左右方向において互いに隣接する表示放電セルC1各々の放電空間は互いに連通している。

【0021】

このように、PDP50に形成されている画素セルPC_{1,1}~PC_{n-1,m}の各々は、互いにその放電空間が連通している表示放電セルC1及び制御放電セルC2から構成されている。また、行電極X₂~X_n及び行電極Y₁~Y_{n-1}は連続する2表示ラインで兼用される構成である。

X電極ドライバ51は、駆動制御回路56から供給されたタイミング信号に応じて、PDP50の行電極X₁~X_n各々に、各種駆動パルスを印加する。電極ドライバ53は、駆動制御回路56から供給されたタイミング信号に応じて、PDP50の行電極Y₁~Y_n各々に各種駆動パルスを印加する。アドレスドライバ55は、駆動制御回路56から供給されたタイミング信号に応じて、PDP50の列電極D₁~D_mに画素データパルスを印加する。

【0022】

駆動制御回路56は、先ず、入力映像信号を各画素毎に輝度レベルを表す例えば8ビットの画素データに変換し、この画素データに対して如き誤差拡散処理及

びディザ処理を施す。例えば、当該誤差拡散処理では、先ず、画素データの上位6ビット分を表示データ、残りの下位2ビット分を誤差データとする。そして、周辺画素各々に対応した当該画素データの各誤差データを重み付け加算したものを、上記表示データに反映させる。かかる動作により、原画素における下位2ビット分の輝度が上記周辺画素によって擬似的に表現され、それ故に8ビットよりも少ない6ビット分の表示データにて、8ビット分の画素データと同等の輝度階調表現が可能になる。そして、この誤差拡散処理によって得られた6ビットの誤差拡散処理画素データに対してディザ処理を施す。ディザ処理では、互いに隣接する複数の画素を1画素単位とし、この1画素単位内の各画素に対応した誤差拡散処理画素データに対して、互いに異なる係数値からなるディザ係数を夫々割り当てて加算してディザ加算画素データを得る。かかるディザ係数の加算によれば、1画素単位で眺めた場合には、ディザ加算画素データの上位4ビット分だけでも8ビットに相当する輝度を表現することが可能となる。

【0023】

駆動制御回路56は、これら誤差拡散処理及びディザ処理により8ビットの画素データを4ビットの多階調化画素データ PDS に変換し、更に、この多階調化画素データ PDS を図11に示す如きデータ変換テーブルに従って15ビットの画素駆動データ GD に変換する。これにより、8ビットで256階調を表現し得る画素データは、全部で16パターンからなる15ビットの画素駆動データ GD に変換される。次に、駆動制御回路56は、1画面分の画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 毎に、これら画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々を同一ビット桁同士にて分離することにより、奇数行及び偶数行の画素駆動データビット群 $DB_1 \sim DB_{15}$ を得る。駆動制御回路56は、サブフィールド $SF_1 \sim SF_{15}$ 毎に、そのサブフィールドに対応した画素駆動データビット群 DB におけるデータビットを1表示ライン分(m 個)ずつアドレスドライバ55に供給する。

【0024】

図12は、選択消去アドレス法を適用して $PDPS$ を階調駆動する際の発光駆動シーケンスを示す図である。

図12に示す発光駆動シーケンスでは、映像信号における各フィールドを15

個のサブフィールド S F 1 ~ S F 1 5 に分割し、各サブフィールドにおいてアドレス行程 W、及び発光維持行程（サスティーン行程） I を実行する。なお、この実施例では 1 フィールドのサブフィールド数を 1 5 にしたが、1 5 サブフィールドに限定する必要はない。

【0025】

サブフィールド S F 1 ~ S F 1 5 のうちの先頭のサブフィールド S F 1 ではアドレス行程 W に先立ちリセット行程 R が実行され、最後尾のサブフィールド S F 1 5 では発光維持行程 I の直後に消去行程 E が実行される。また、各サブフィールドにおいてアドレス行程 W のアドレッシングは行電極 X₁ ~ X_n について先に W_X として行った後、行電極 Y₁ ~ Y_n について W_Y 行われる。また、第 1 サブフィールド S F 1 のリセット行程 R のリセット動作も R_X, R_Y のように各々行われる。

【0026】

図 1 3 は、図 1 2 に示す発光駆動シーケンスに従って、リセット行程 R_X, R_Y 、アドレス行程 W_X, W_Y 、発光維持行程 I 各々にて X 電極ドライバ 5 1 及び Y 電極ドライバ 各々が P D P 5 0 に印加する各種駆動パルスを示す図である。なお、図 1 3 においては、先頭のサブフィールド S F 1 の全て、サブフィールド S F 2 及び S F 1 5 各々の一部のみを抜粋して示している。

【0027】

先ず、X 電極のリセット行程 R_X では、X 電極ドライバ 5 1 が緩やかな立ち上がりの正極性のリセットパルス R_{PX} を発生して P D P 5 0 の行電極 X₁ ~ X_n の各々に同時に印加する。リセットパルス R_{PX} の印加によって P D P 5 0 の行電極 X₁ ~ X_n に関する画素セル P C 各々の制御放電セル C 2 内の列電極 D 及び行電極 X₁ ~ X_n 間においてリセット放電が生起される。この放電の結果、行電極 X₁ ~ X_n に関する制御放電セル C 2 内に壁電荷が形成される。

【0028】

X 電極のアドレス行程 W_X では、リセットパルス R_{PX} の印加直後に、X 電極ドライバ 5 1 は負極性の極性反転パルス P_{PPX} を行電極 X₁ ~ X_n の各々に同時に印加し、アドレスドライバ 5 5 は、極性反転パルス P_{PPX} と同時に正極性の極性反転パルス P_{PD} を発生して P D P 5 0 の列電極 D₁ ~ D_m の各々に同時に印加する

。その極性反転パルス $P P_X$ 及び $P P_D$ の印加によって行電極 $X_1 \sim X_n$ に関する画素セル $P C$ 各々の制御放電セル $C 2$ 内の列電極 D 及び行電極 $X_1 \sim X_n$ (バス電極 $X b$) 間において放電が生起される。この放電の結果、壁電荷の極性が反転され、列電極 D に負電荷が形成され、バス電極 $X b$ に正電荷が形成される。

【0029】

X 電極のアドレス行程 W_X では、極性反転後、 X 電極ドライバ 51 が正極性の電圧 $V 1$ を全ての行電極 $X_1 \sim X_n$ に印加しつつ、正極性の電圧 $V 2$ ($V 2 > V 1$) を有する走査パルス $S P$ を行電極 $X_1 \sim X_n$ に順次印加して行く。この間、 Y 電極ドライバ 53 は、行電極 $Y_1 \sim Y_n$ 各々に正極性の所定電位を印加する。アドレスドライバ 55 は、このサブフィールド $S F 1$ に対応した奇数行の画素駆動データビット群 $D B 1$ における各データビットをその論理レベルに応じたパルス電圧を有する画素データパルス $D P$ に変換する。例えば、アドレスドライバ 55 は、論理レベル 0 の画素駆動データビットを正極性の高電圧の画素データパルス $D P$ に変換する一方、論理レベル 1 の画素駆動データビットを低電圧(例えば、0 ボルト)の画素データパルス $D P$ に変換する。そして、かかる画素データパルス $D P$ を走査パルス $S P$ の印加タイミングに同期して 1 表示ライン分(m 個)ずつ列電極 $D_1 \sim D_m$ に印加して行く。つまり、アドレスドライバ 55 は、先ず、第 1 表示ラインに対応した m 個の画素データパルス $D P$ からなる画素データパルス群 $D P_1$ を列電極 $D_1 \sim D_m$ に印加し、次に、第 3 表示ラインに対応した m 個の画素データパルス $D P$ からなる画素データパルス群 $D P_3$ を列電極 $D_1 \sim D_m$ に印加して行くのである。以降の奇数表示ラインも同様の印加が順次行われる。正極性の電圧 $V 2$ を有する走査パルス $S P$ と低電圧の画素データパルス $D P$ とが同時に印加された画素セル $P C$ の制御放電セル $C 2$ 内の列電極 D 及びバス電極 $X b$ 間において消去アドレス放電が生起される。そして、消去アドレス放電に伴いその放電が図 7 に示した間隙 r を介して表示放電セル $C 1$ 側に移行し、表示放電セル $C 1$ 内の所定電位の行電極 $Y a$ 及び $X a$ 間で放電が生起される。上述した如き制御放電セル $C 2$ から表示放電セル $C 1$ への放電移行により、表示放電セル $C 1$ 内に形成されていた壁電荷が消滅する。一方、走査パルス $S P$ が印加されたものの高電圧の画素データパルス $D P$ が印加された画素セル $P C$ の制御放電セル $C 2$ 内では上記

の如き消去アドレス放電は生起されない。よって、上述した如き制御放電セルC 2から表示放電セルC 1への放電移行も生じないので、表示放電セルC 1内の壁電荷の形成状態も現状を維持する。つまり、表示放電セルC 1内に壁電荷が存在する場合にはこれがそのまま残留し、存在しない場合には壁電荷のこの壁電荷の非形成状態が維持される。

【0030】

次に、Y電極のリセット行程 R_y では、X電極ドライバ5 1は緩やかな立ち上がりの正極性のリセットパルス R_P_X を発生してPDP5 0の行電極 $X_1 \sim X_n$ の各々に同時に印加し、Y電極ドライバ5 3は緩やかな立ち上がりの正極性のリセットパルス R_P_Y を発生してPDP5 0の行電極 $Y_1 \sim Y_n$ の各々に同時に印加する。 Y 電極のリセット行程 R_y におけるリセットパルス R_P_X はダミーパルスであり、これによる放電は生じない。一方、リセットパルス R_P_Y の印加によってPDP5 0の行電極 $Y_1 \sim Y_n$ に關係する画素セルPC各々の制御放電セルC 2内の列電極D及び行電極 $Y_1 \sim Y_n$ 間においてリセット放電が生起される。このリセット放電の結果、行電極 $Y_1 \sim Y_n$ に關係する制御放電セルC 2内に壁電荷が形成される。

【0031】

Y 電極のアドレス行程 W_y では、リセットパルス R_P_Y の印加直後に、 Y 電極ドライバ5 3は負極性の極性反転パルス P_P_Y を行電極 $Y_1 \sim Y_n$ の各々に同時に印加し、アドレスドライバ5 5は、極性反転パルス P_P_Y と同時に正極性の極性反転パルス P_P_D を発生してPDP5 0の列電極 $D_1 \sim D_m$ の各々に同時に印加する。極性反転パルス P_P_Y 及び P_P_D の印加によって行電極 $Y_1 \sim Y_n$ に關係する画素セルPC各々の制御放電セルC 2内の列電極D及び行電極 $Y_1 \sim Y_n$ （バス電極 Y_b ）間において放電が生起される。この放電の結果、壁電荷の極性が反転され、列電極Dに負電荷が形成され、バス電極 Y_b に正電荷が形成される。

【0032】

その後の Y 電極のアドレス行程 W_y では、 Y 電極ドライバ5 3が正極性の電圧 V_1 を全ての行電極 $Y_1 \sim Y_n$ に印加しつつ、正極性の電圧 V_2 （ $V_2 > V_1$ ）を有する走査パルス S_P を行電極 $Y_1 \sim Y_n$ に順次印加していく。この間、X電極ド

ライバ51は、行電極 $X_1 \sim X_n$ 各々に正極性の所定電位を印加する。アドレスドライバ55は、このサブフィールドSF1に対応した偶数行の画素駆動データビット群DB1における各データビットをその論理レベルに応じたパルス電圧を有する画素データパルスDPに変換する。かかる画素データパルスDPを走査パルスSPの印加タイミングに同期して1表示ライン分(m個)ずつ列電極 $D_1 \sim D_m$ に印加して行く。アドレスドライバ55は、先ず、第2表示ラインに対応したm個の画素データパルスDPからなる画素データパルス群DP1を列電極 $D_1 \sim D_m$ に印加し、次に、第4表示ラインに対応したm個の画素データパルスDPからなる画素データパルス群DP3を列電極 $D_1 \sim D_m$ に印加して行くのである。以降の偶数表示ラインも同様の印加が順次行われる。正極性の電圧V2を有する走査パルスSPと低電圧の画素データパルスDPとが同時に印加された画素セルPCの制御放電セルC2内の列電極D及びバス電極Yb間において消去アドレス放電が生起される。そして、消去アドレス放電に伴いその放電が図7に示した間隙rを介して表示放電セルC1側に移行し、表示放電セルC1内の所定電位の行電極Xa及びYa間で放電が生起される。上述した如き制御放電セルC2から表示放電セルC1への放電移行により、表示放電セルC1内に形成されていた壁電荷が消滅する。一方、走査パルスSPが印加されたものの高電圧の画素データパルスDPが印加された画素セルPCの制御放電セルC2内では上記の如き消去アドレス放電は生起されない。よって、上述した如き制御放電セルC2から表示放電セルC1への放電移行も生じないので、表示放電セルC1内の壁電荷の形成状態も現状を維持する。

【0033】

このように、選択消去アドレス法に基づくアドレス行程 W_X, W_Y では、サブフィールドに対応した画素駆動データビット群の各データビットに応じて選択的に画素セルPC各々の制御放電セルC2内に消去アドレス放電を生起させて壁電荷を消去させる。これにより、壁電荷の残留する画素セルPCを点灯セルモード、壁電荷が消去された画素セルPCを消灯セルモードに設定するのである。

【0034】

第1サブフィールドにおいてはアドレス行程 W_Y の次のサステイン行程Iの最

初に、X電極ドライバ51は負極性の極性反転パルス PP_X を発生してPDP50の行電極 $X_1 \sim X_n$ の各々に同時に印加し、Y電極ドライバ53は同様に負極性の極性反転パルス PP_Y を発生してPDP50の行電極 $Y_1 \sim Y_n$ の各々に同時に印加する。その極性反転パルス PP_X , PP_Y の印加と同時に、アドレスドライバ55は、正極性の極性反転パルス PP_D を発生してPDP50の列電極 $D_1 \sim D_m$ の各々に同時に印加する。

【0035】

上記のX及びY電極のアドレス行程 W_X , W_Y で壁電荷が維持された画素セルについて電荷が列電極 $D_1 \sim D_m$ では正極性、行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ では負極性となっている。極性反転パルス PP_X , PP_Y , PP_D の印加によって行電極 $X_1 \sim X_n$ の電荷が正極性に反転し、行電極 $Y_1 \sim Y_n$ の電荷が負極性のままとなる。

【0036】

その後のサスティン行程Iでは、Y電極ドライバ53が負極性のサスティンパルス IP_Y を行電極 $Y_1 \sim Y_n$ 各々に繰り返し印加する。X電極ドライバ51は、負極性のサスティンパルス IP_X を行電極 $X_1 \sim X_n$ 各々に繰り返し印加する。そのサスティンパルスの印加は行電極 $Y_1 \sim Y_n$ と行電極 $X_1 \sim X_n$ とで交互に行われ、繰り返しはこのサスティン行程Iの属するサブフィールドに割り当てられている回数だけである。サスティンパルス IP_X 又は IP_Y が印加されると、点灯セルモードに設定された画素セルPCの表示放電セルC1内の透明電極Xaと透明電極Yaとの間でサスティン放電が生起される。図13にはそのサスティン放電の放電電流の方向を矢印で示されている。サスティン放電によって発生した紫外線により、図7に示す如く表示放電セルC1内に形成されている蛍光体層16(赤色蛍光層、緑色蛍光層、青色蛍光層)が励起し、その蛍光色に対応した光が前面ガラス基板10を介して放射される。つまり、このサスティン行程Iの属するサブフィールドに割り当てられている回数分だけ、サスティン放電に伴う発光が繰り返し生起されるのである。

【0037】

負極性のサスティンパルス IP_X , IP_Y の印加によって点灯セルモードに設定

された画素セルPCの表示放電セルC1内の列電極D側の放電空間には負の壁電荷が形成される。各サスティン行程Iは、サスティンパルスIP_Xの行電極Y₁～Y_n各々への印加で終了する。この終了により、行電極Y₁～Y_n側の放電空間には正の壁電荷が形成される。

【0038】

図12に示されるように、サブフィールドSF1から次のサブフィールドSF2に移行すると、直ちに上記したようにX電極のアドレス行程W_X、そしてY電極のアドレス行程W_Y、そしてサスティン行程Iが行われる。その後のサブフィールドにおいても同様である。

第15サブフィールドSF15に含まれる消去行程Eでは、X電極ドライバ51は負極性の消去パルスEP_Xを発生してPDP50の行電極X₁～X_nの各々に印加し、同時にY電極ドライバ53は同様に負極性の消去パルスEP_Yを発生してPDP50の行電極Y₁～Y_nの各々に印加する。消去パルスEP_X及びEP_Yは所定期間に亘って印加される。消去パルスEP_Xの電位は所定の消去電位から時間経過と共に徐々に0Vに近づき、所定期間経過時には0Vとなって消滅する。消去パルスEP_Yは所定期間に亘って所定の消去電位を維持するパルスである。これら消去パルスEP_X及びEP_Yによって行電極X、Y間で消去放電が生じ、表示放電セルC1及び制御放電セルC2各々内に形成されていた壁電荷が消滅する。すなわち、PDP50の全ての画素セルPCが消灯セル状態に推移するのである。

【0039】

なお、第15サブフィールドSF15の消去行程E直前のサスティン行程Iでは、他のサブフィールドとは異なり、負極性のサスティンパルスIP_Xを行電極X₁～X_n各々に印加した段階でサスティン行程Iが終了している。

図12及び図13に示す如きリセット行程R(R_X, R_Y)、アドレス行程W(W_X, W_Y)、及びサスティン行程Iによる駆動が、図11に示す如き16通りの画素駆動データGDに基づいて実行される。図12及び図13に示す如き選択消去アドレス法を適用した駆動によれば、サブフィールドSF1～SF15の内で、画素セルPCを消灯セルモードから点灯セルモードに推移させることが可能

機会は、サブフィールドSF1のリセット行程 R_X , R_Y だけである。従って、サブフィールドSF1～SF15のいずれかのサブフィールドで消去アドレス放電が生起され、一旦、画素セルPCが消灯セルモードに設定されると、それ以降のサブフィールドではこの画素セルPCが点灯セルモードに復帰することはない。従って、図11に示す如き16通りの画素駆動データGDに基づく駆動によれば、表現すべき輝度に対応した分だけ連続したサブフィールド各々において各画素セルPCが点灯セルモードに設定される。そして、消去アドレス放電(黒丸にて示す)が生起されるまでの間、各サブフィールドのサスティン行程Iにおいて連続してサスティン放電発光(白丸に示す)が為されるのである。

【0040】

上述した如き駆動により、1フィールド期間内において生起された放電の総数に対応した輝度が視覚される。すなわち、図11に示す如き第1～第16階調駆動による16種類の発光パターンによれば、白丸にて示されるサブフィールドにおいて生起されたサスティン放電の合計回数に対応した16階調分の中間輝度が表現されるのである。

【0041】

以上の如き選択消去アドレス法に基づく駆動を行う場合に、アドレス行程 W_X , W_Y において消去アドレス放電を生起させる際には、正極性の電圧V2を有する走査パルスSPを行電極Yに印加すると共に低電圧(0ボルト)の画素データパルスDPを列電極Dに印加している。このように、制御放電セルC2内の列電極Dを行電極Yよりも低電位とすることにより、制御放電セルC2内に形成されている2次電子放出材料層30が行電極Yに対して陰極となる。よって、消去アドレス放電を生起させる際には、2次電子放出材料層30から良好に2次電子が放出され、制御放電セルC2内において消去アドレス放電が確実に生起されるようになるのである。

【0042】

また、上記実施例においては、N個(実施例では15個)のサブフィールドによって(N+1)階調分の中間輝度を表現する階調駆動を一例にとってその動作を説明したが、N個のサブフィールドで 2^N 階調分の中間輝度を表現する階調駆

動にも同様に適用可能である。

図14～図19は、本発明の他の実施例としてPDP50の内部構造の一部を抜粋して示す図である。図14～図19においては図6～図10に示されたPDP50と同一部分は同一符号が用いられている。

【0043】

図14は表示面側から眺めたPDP50の平面図である。図15は図14に示されるV1-V1線から眺めたPDP50の断面図である。図16は図14に示されるV2-V2線から眺めたPDP50の断面図である。図17は図14に示されるV3-V3線から眺めたPDP50の断面図である。図18は図14に示されるW1-W1線から眺めたPDP50の断面図である。図19は図14に示されるW2-W2線から眺めたPDP50の断面図である。

【0044】

図14～図19に示される実施例においては、対をなす表示放電セルC1と制御放電セルC2とからなる画素セルPCの組み合わせが2種類ある。すなわち、表示ライン毎の複数の表示放電セルC1は水平方向において同一直線列で配置されている。表示放電セルC1に垂直方向において隣接する2つの制御放電セルC2のうちの一方（図14で上側の制御放電セルC2）との組み合わせと、他方（図14の下側の制御放電セルC2）との組み合わせとがある。その2種類の組み合わせは水平方向において交互に配置されている。それ故、画素セルPCを構成しない表示放電セルC1とそれに隣接する制御放電セルC2との間は横壁15Aとなっており、画素セルPCを構成する表示放電セルC1とそれに隣接する制御放電セルC2との間は横壁15Aより厚みが薄い仕切壁15Bとなっている。制御放電セルC2の放電空間位置は図14から分かるように、水平方向において奇数番目と偶数番目とで異なっている。図6～図10に示されたPDP50と同様に、嵩上げ誘電体層12が形成されていない仕切壁15Bと誘電体層11との間は表示放電セルC1の放電空間と制御放電セルC2の放電空間とを連通する間隙rとなっている。

【0045】

その他の内部構造は図6～図10に示されたPDP50と同じである。

以上のように、本発明によれば、表示画面のラインピッチの縮小化を容易にできるので、高コントラスト及び高精細化を図ることができる。

【図面の簡単な説明】

【図1】

従来のPDPの構造の一部を表示面側から眺めた平面図である。

【図2】

図1に示されるV-V線上でのPDPの断面を示す図である。

【図3】

図1に示されるW-W線上でのPDPの断面を示す図である。

【図4】

PDPに印加される各種駆動パルスと、その印加タイミングを示す図である。

【図5】

本発明を適用したプラズマディスプレイ装置の概略構成を示す図である。

【図6】

図5の装置中のPDPの構造の一部を表示面側から眺めた平面図である。

【図7】

図6に示されるV1-V1線上でのPDPの断面を示す図である。

【図8】

図6に示されるV2-V2線上でのPDPの断面を示す図である。

【図9】

図6に示されるW1-W1線上でのPDPの断面を示す図である。

【図10】

図6に示されるW2-W2線上でのPDPの断面を示す図である。

【図11】

選択消去アドレス法における画素データ変換テーブルと、この画素データ変換テーブルによって得られた画素駆動データGDに基づく発光駆動パターンを示す図である。

【図12】

選択消去アドレス法による駆動時における発光駆動シーケンスの一例を示す図

である。

【図13】

図5の装置においてサブフィールドS F 1及びS F 2の一部の期間にPDPに印加される各種駆動パルスとその印加タイミングを示す図である。

【図14】

本発明の他の実施例として図5の装置中のPDPの別の構造の一部を表示面側から眺めた平面図である。

【図15】

図14に示されるV1-V1線上でのPDPの断面を示す図である。

【図16】

図14に示されるV2-V2線上でのPDPの断面を示す図である。

【図17】

図14に示されるV3-V3線上でのPDPの断面を示す図である。

【図18】

図14に示されるW1-W1線上でのPDPの断面を示す図である。

【図19】

図14に示されるW2-W2線上でのPDPの断面を示す図である。

【符号の説明】

50 PDP

51 X電極ドライバ

53 Y電極ドライバ

55 アドレスドライバ

56 駆動制御回路

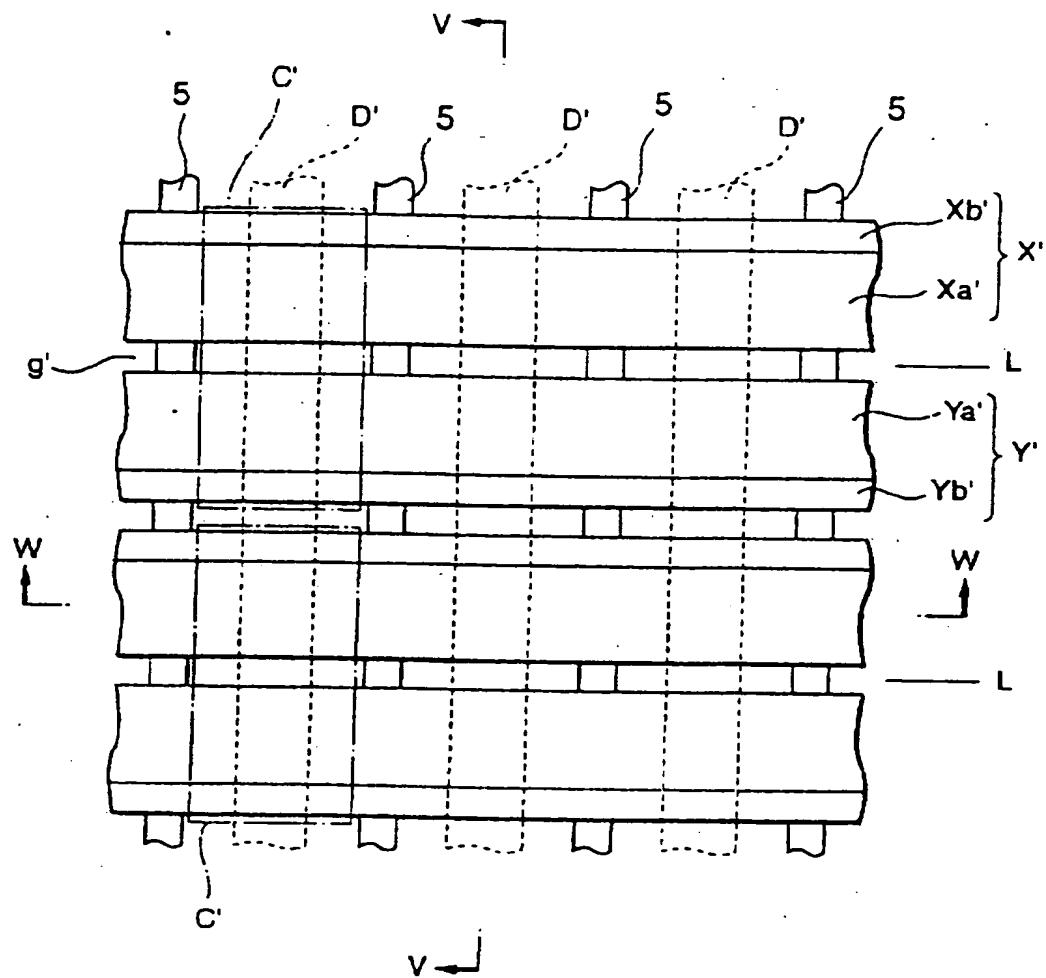
C1 表示放電セル

C2 制御放電セル

PC 画素セル

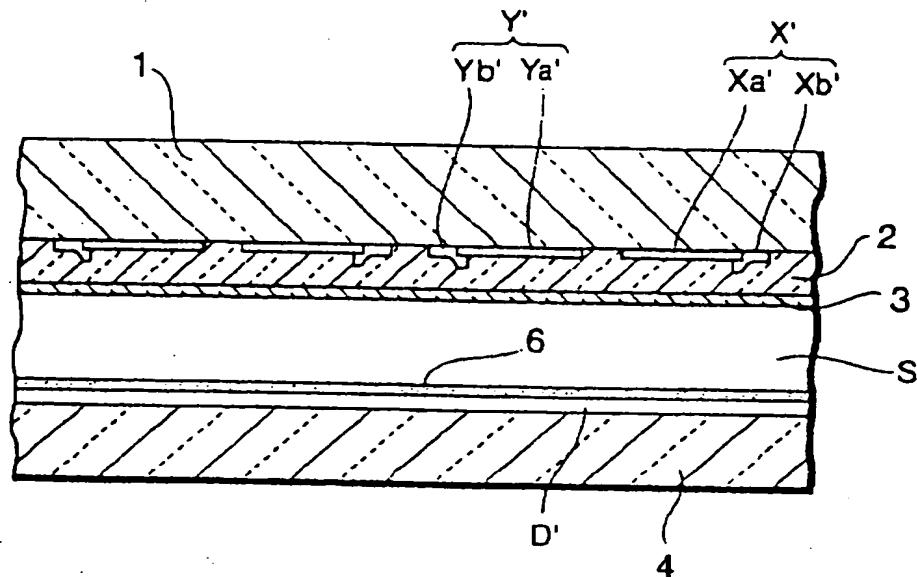
【書類名】 図面

【図1】



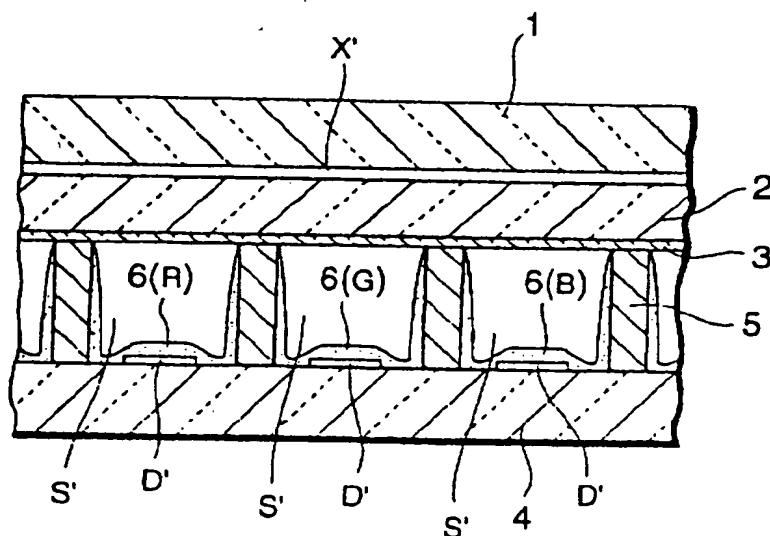
【図2】

V-V断面

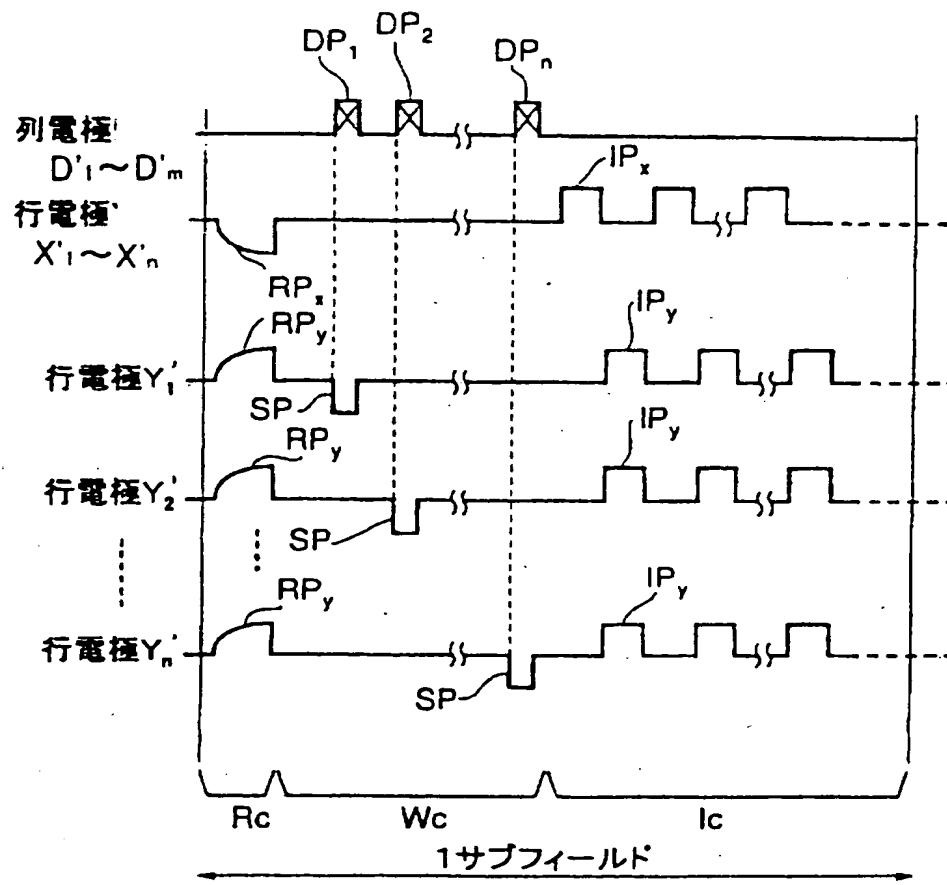


【図3】

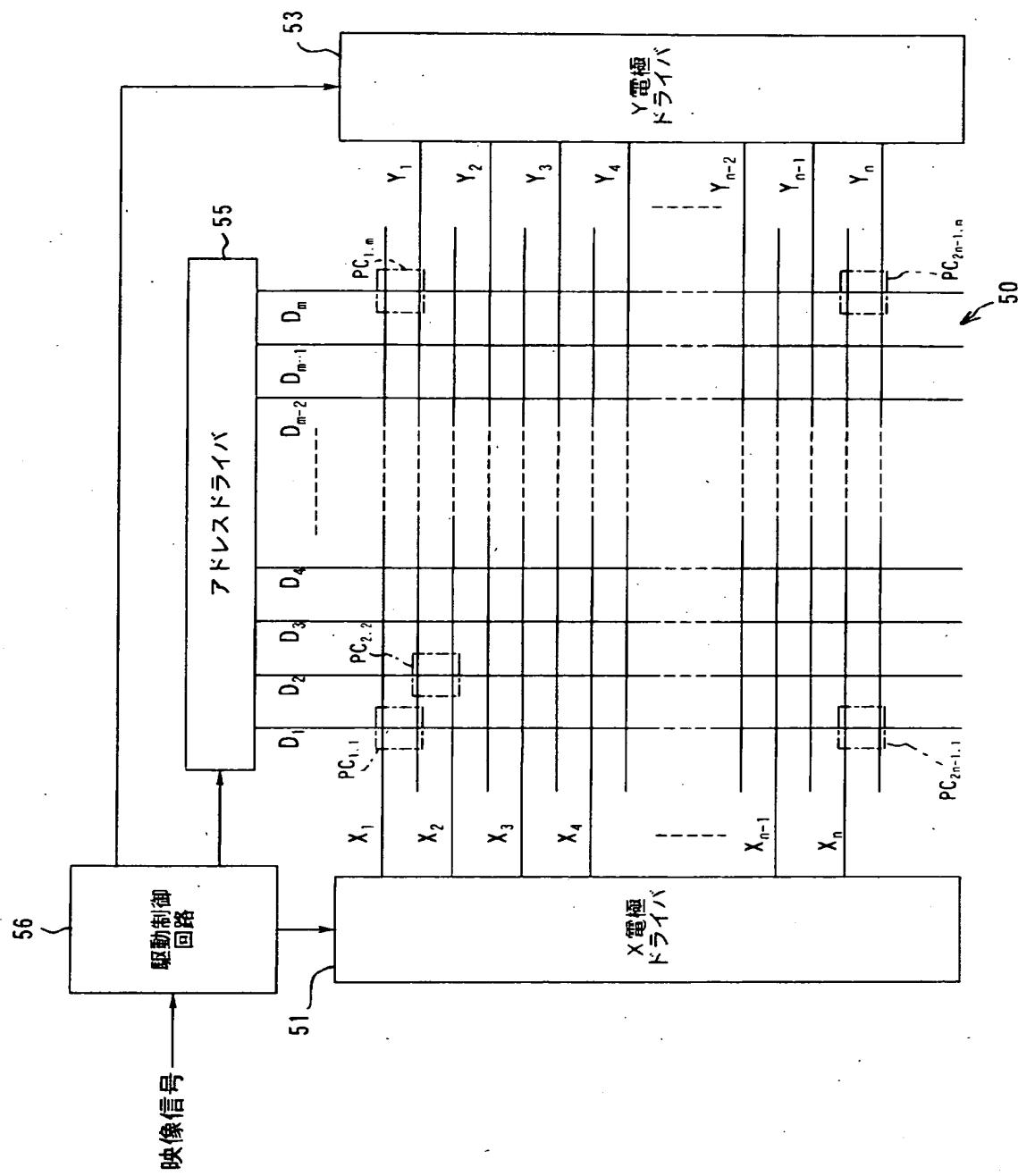
W-W断面



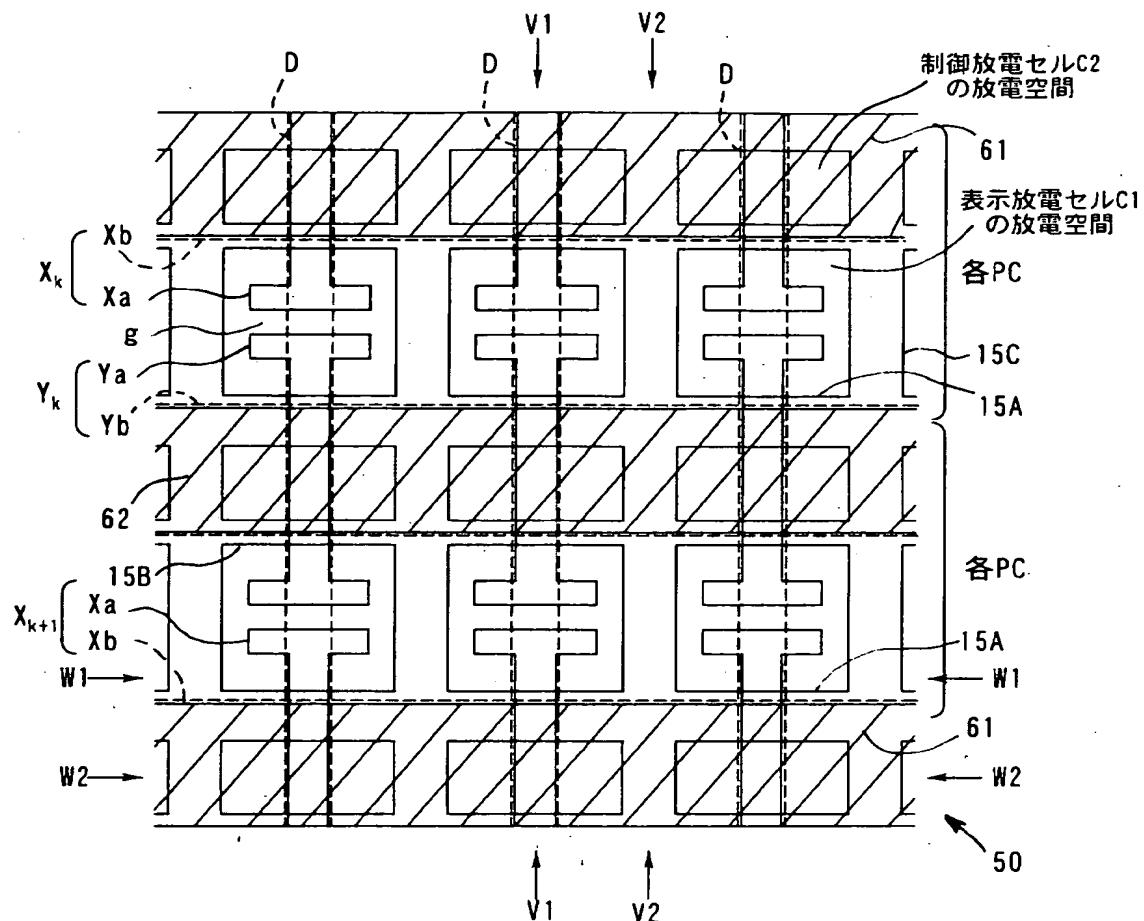
【図4】



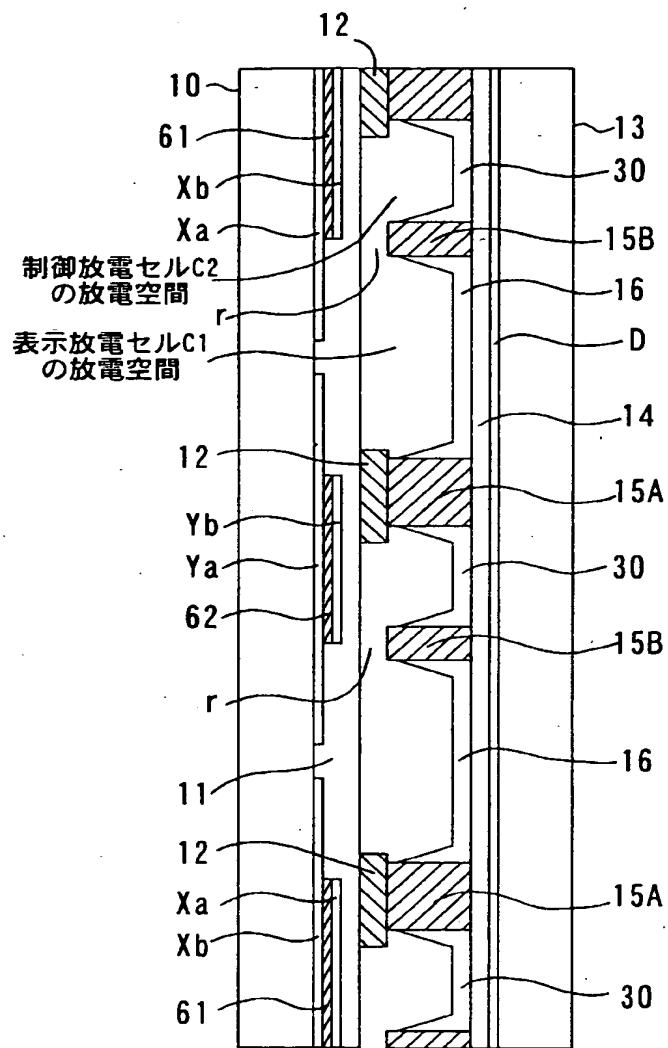
【図5】



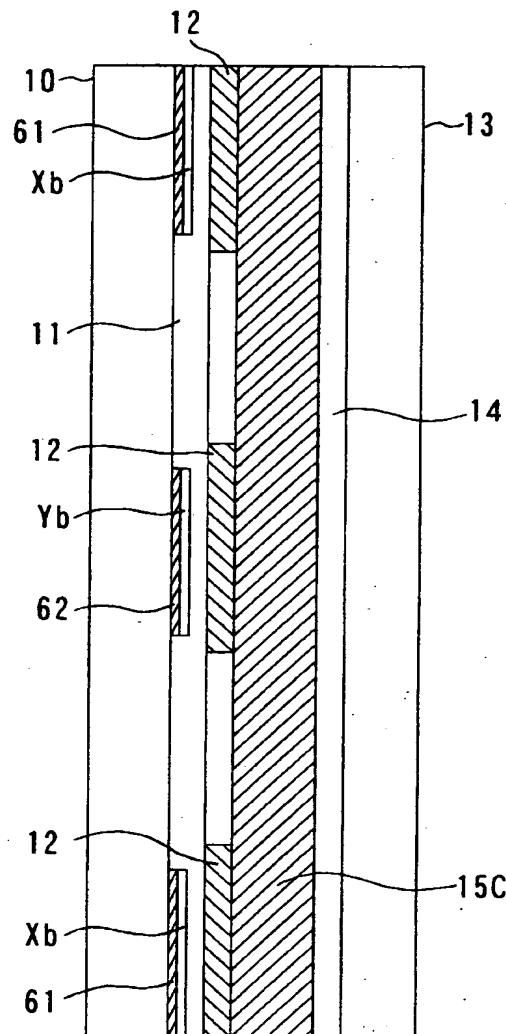
【図6】



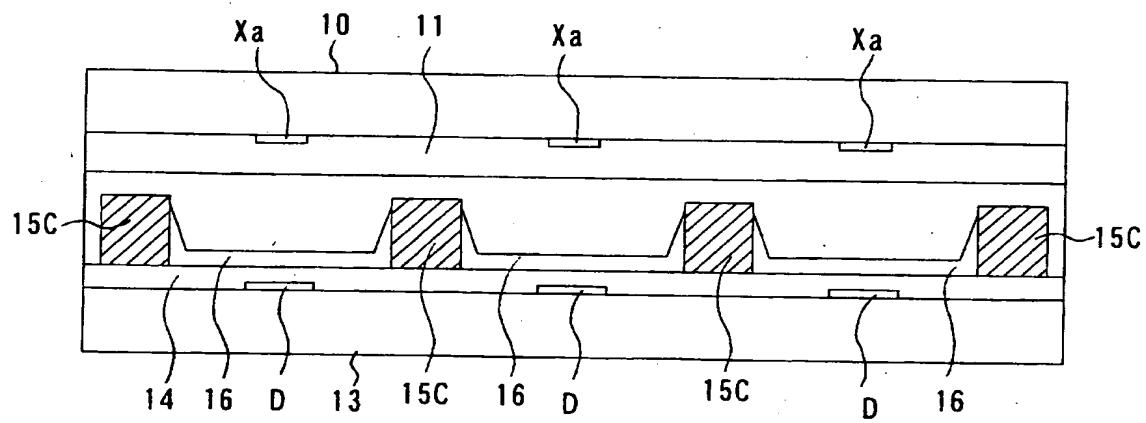
【図7】



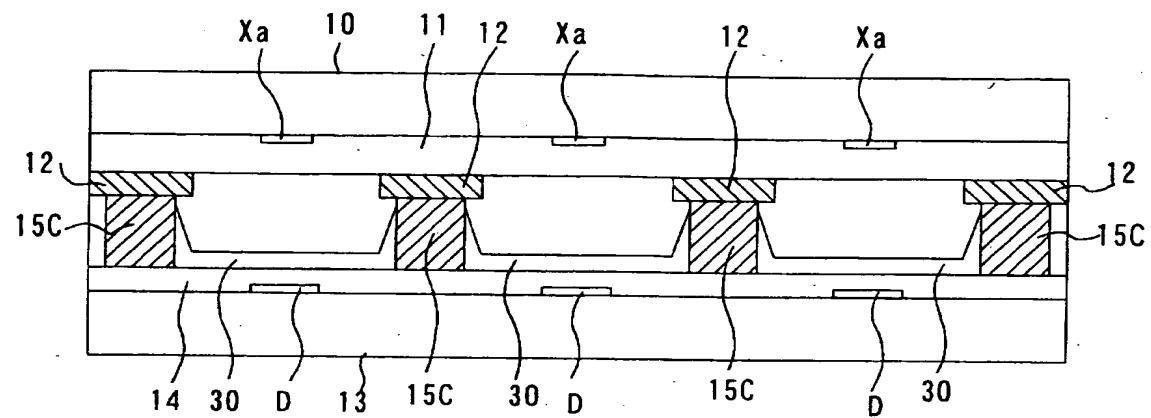
【図8】



【図9】



【図10】

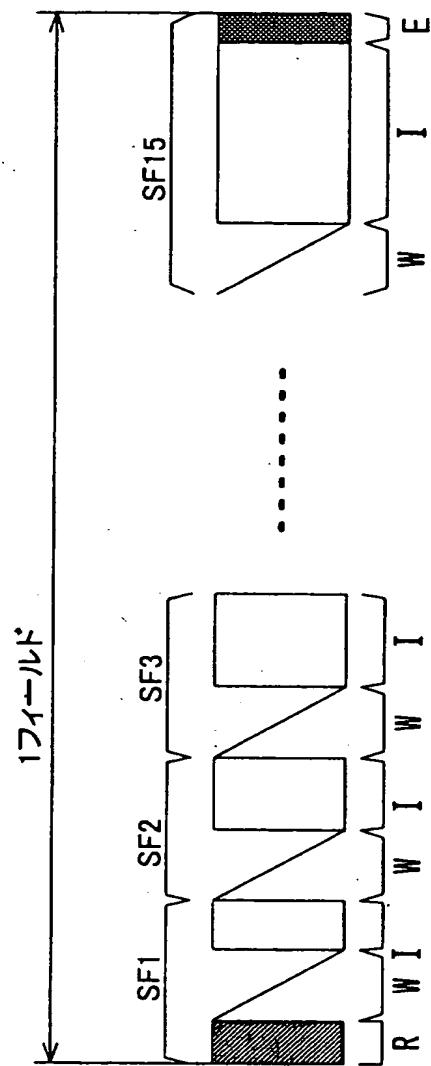


【図11】

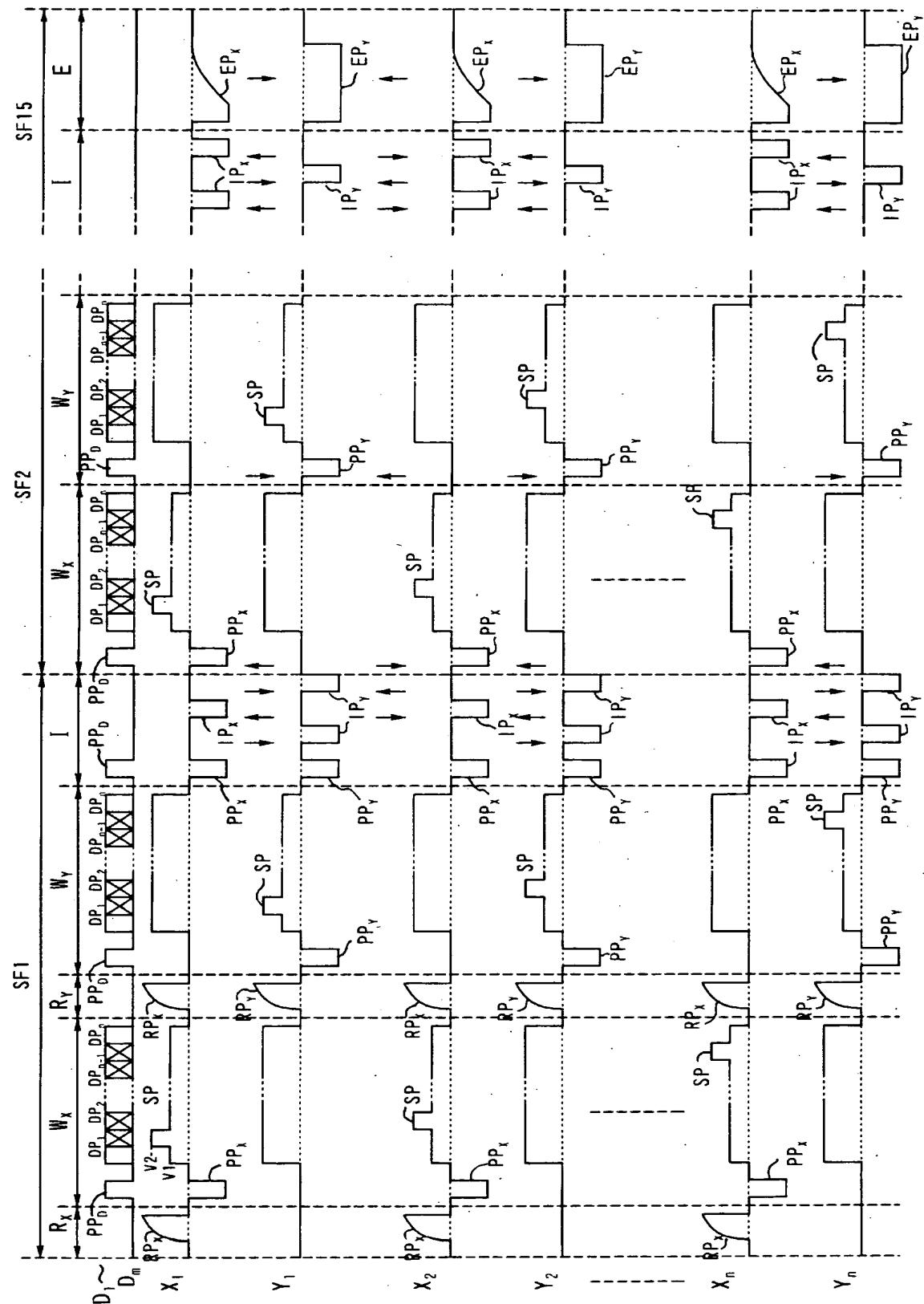
階層 駆動	PDS	交換テーブル	発光パターン														
			CD	SF													
第1	0000	1000000000000000	●														
第2	0001	0100000000000000	●														
第3	0010	0010000000000000	●														
第4	0011	0001000000000000	●														
第5	0100	0000100000000000	●														
第6	0101	0000010000000000	●														
第7	0110	0000001000000000	●														
第8	0111	0000001000000000	●														
第9	1000	0000000100000000	●														
第10	1001	0000000010000000	●														
第11	1010	0000000010000000	●														
第12	1011	0000000001000000	●														
第13	1100	0000000000100000	●														
第14	1101	0000000000010000	●														
第15	1110	0000000000001000	●														
第16	1111	0000000000000000	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

● : 消去アドレス放電 ○ : サステイン放電発光

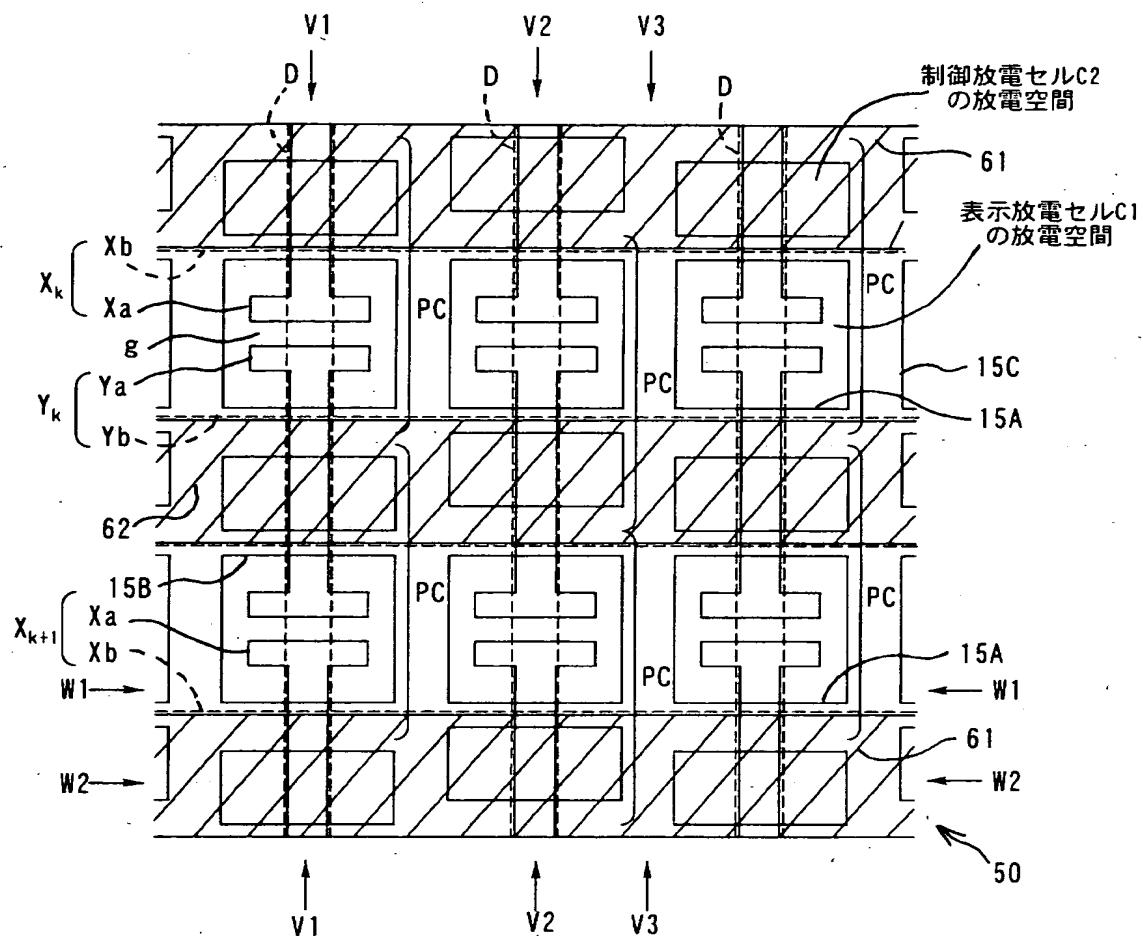
【図12】



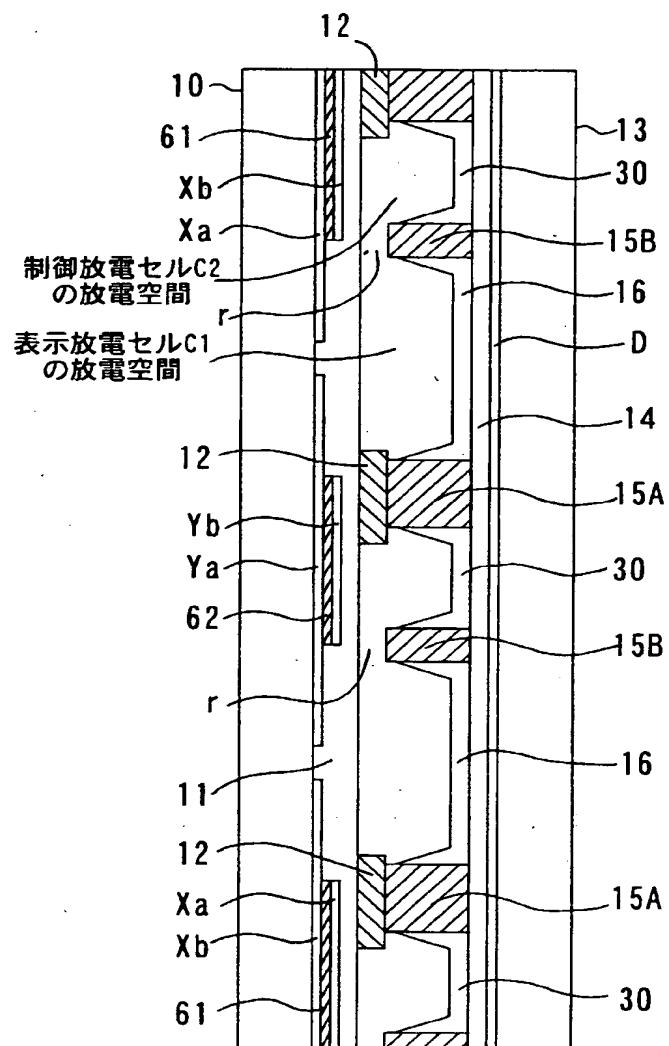
【図13】



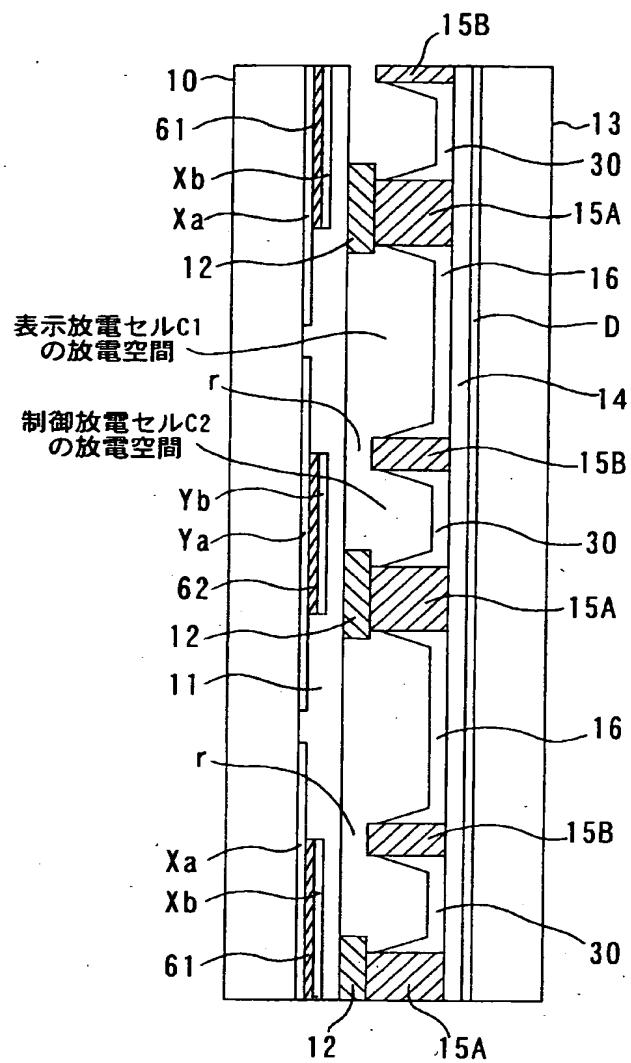
【図14】



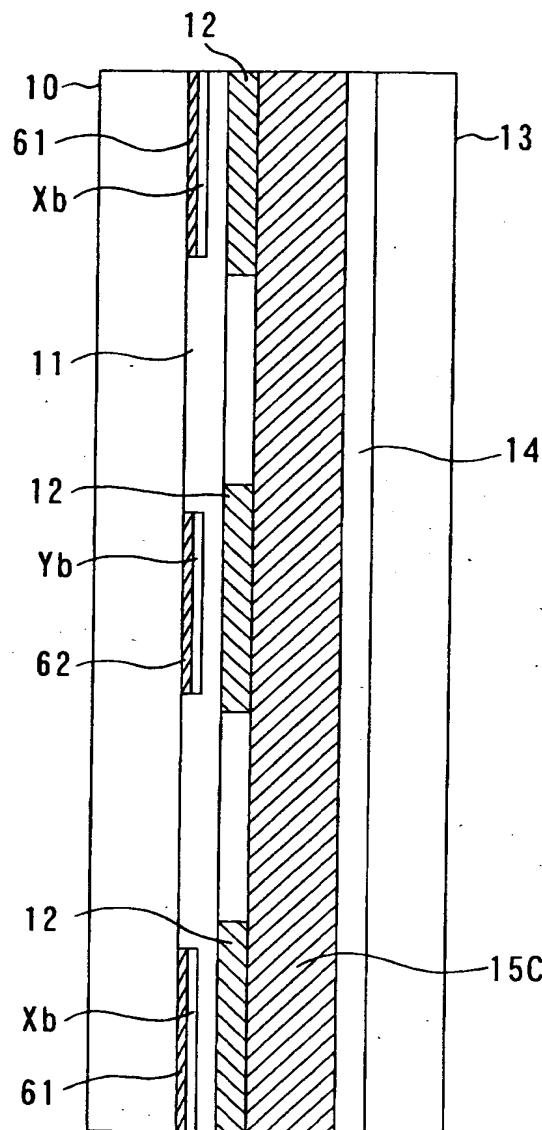
【図15】



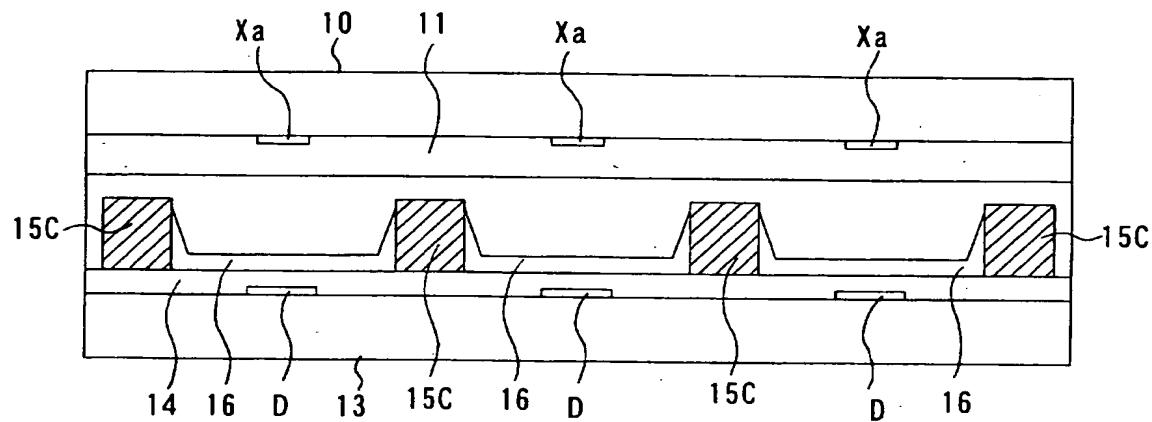
【図16】



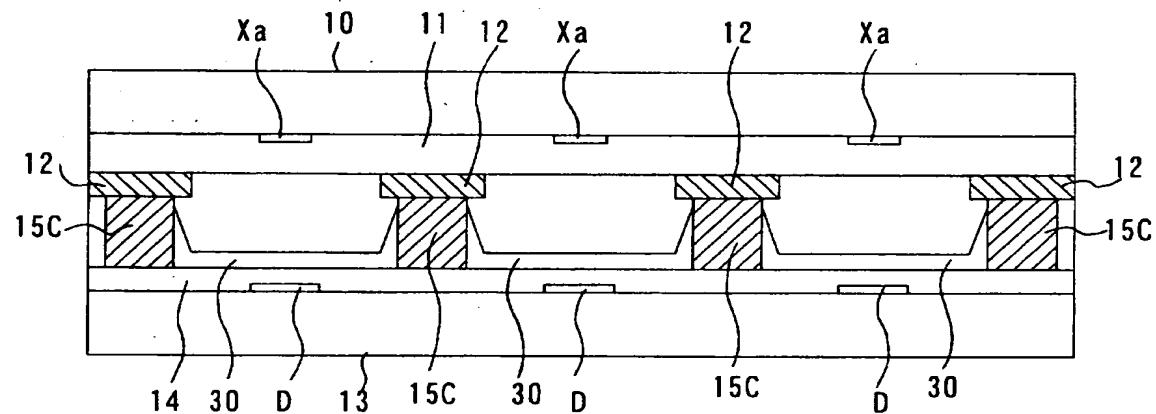
【図17】



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 高コントラスト及び高精細化を図ることができるプラズマディスプレイパネル及びそれを用いた表示装置を提供する。

【解決手段】 プラズマディスプレイパネルにおいては、各々が行方向に延びて列方向に配列された複数の行電極と、前面基板の内面側において複数の行電極を被覆する誘電体層と、各々が前面基板と放電空間を介して対向配置された背面基板の内面側に列方向に延びて行方向に配列され、行電極と交差する位置において放電空間内に単位発光領域を形成する複数の列電極とが備えられ、複数の行電極の隣接する行電極間各々が表示ラインを構成し、単位発光領域の各々の周囲が隔壁により区画され、単位発光領域の各々が仕切り壁によって表示ラインを形成する隣接する行電極間での放電が行われる第1放電セルと、行電極の一部と列電極との間での放電が行われる第2放電セルとに区画され、対となる第1放電セルと第2放電セルとの間に連通部が設けられている。

【選択図】 図5

出願人履歴情報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住所 東京都目黒区目黒1丁目4番1号
氏名 パイオニア株式会社